

© EPODOC / EPO

PN - JP6075536 A 19940318
 PD - 1994-03-18
 PR - JP19920248824 19920825
 OPD - 1992-08-25
 TI - PLASMA ADDRESS DISPLAY DEVICE
 IN - IWAMA JUN
 PA - SONY CORP
 ICO - S02F1/133P
 IC - G09G3/20 ; G02F1/1333 ; G09G3/36 ; H04N5/66
 FI - G02F1/1333 ; G09G3/20&Z ; G09G3/36 ; H04N5/66&101B ; G09G3/20&611D

© WPI / DERWENT

TI - Plasma addressed display device - has vertical scanning circuit having cross-talk suppressor holding anode and cathode low impedance during selection and changing to high impedance during non-selection NoAbstract

PR - JP19920248824 19920825
 PN - JP6075536 A 19940318 DW199416 G09G3/20 006pp
 PA - (SONY) SONY CORP
 IC - G02F1/1333 ; G09G3/20 ; G09G3/36 ; H04N5/66
 AB - J06075536
 - (Dwg.1/5)
 OPD - 1992-08-25
 AN - 1994-129276 [16]

© PAJ / JPO

PN - JP6075536 A 19940318
 PD - 1994-03-18
 AP - JP19920248824 19920825
 IN - IWAMA JUN
 PA - SONY CORP

TI - PLASMA ADDRESS DISPLAY DEVICE

AB - PURPOSE:To suppress the crosstalks occurring in the discharge space floating capacity of the plasma address display device.

- CONSTITUTION:This plasma address display device has a structure integrally laminated with a display cell 1 and a plasma cell 2 via a dielectric sheet 3. The liquid crystal cell 1 has plural signal electrodes D constituting column signal lines. The plasma cell 2 has plural anode/cathode electrode pairs A1/K1, A2/K2,... constituting row scanning lines. A horizontal signal circuit 11 supplies image signals to the signal electrodes D. A vertical scanning circuit 13 successively linearly scan the respective anode/cathode electrode pairs and supplies driving voltages thereto in the respective selection periods. A crosstalk suppressing means which maintains both of a pair of the anode electrodes and the cathode electrodes in a low-impedance state during the selection periods and simultaneously changes over both to a high impedance state during the non-selection periods is provided. This crosstalk suppressing means is constituted of anode changeover switches SA1 to SA4 respectively connected to the anode electrodes and cathode changeover switches SK1 to SK4 respectively connected to the cathode electrodes.

I - G09G3/20 ; G02F1/1333 ; G09G3/36 ; H04N5/66

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-75536

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20	Z	8729-5G		
G 0 2 F 1/1333		9225-2K		
G 0 9 G 3/36		7319-5G		
H 0 4 N 5/66	1 0 1 B	9068-5C		

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平4-248824

(22)出願日 平成4年(1992)8月25日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 岩間 純

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

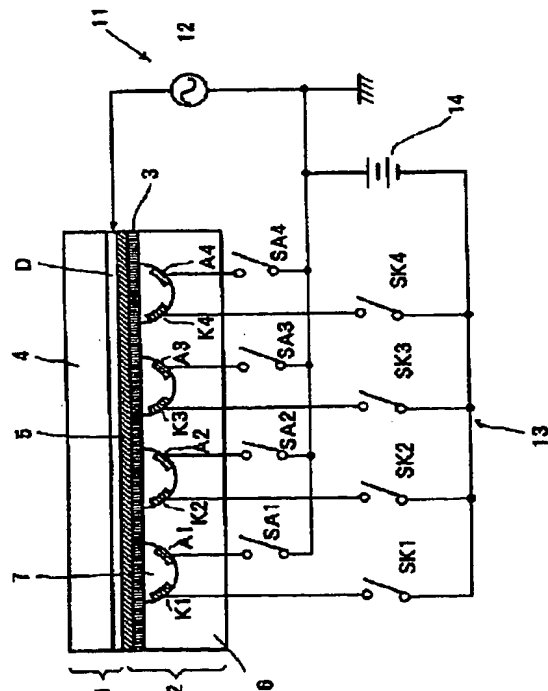
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 プラズマアドレス表示装置

(57)【要約】

【目的】 プラズマアドレス表示装置の放電空間浮遊容量に起因するクロストークを抑制する。

【構成】 プラズマアドレス表示装置は表示セル1とプラズマセル2とを誘電体シート3を介して一体的に積層した構造を有する。液晶セル1は列信号ラインとなる複数の信号電極Dを備えている。又、プラズマセル2は行走査ラインとなる複数のアノード/カソード電極対A1/K1, A2/K2, …を備えている。水平信号回路11は該信号電極Dに画像信号を供給する。垂直走査回路13は各アノード/カソード電極対を線順次走査し夫々の選択期間に駆動電圧を供給する。選択期間中一対のアノード電極とカソード電極の両者を低インピーダンス状態に保持し、非選択期間中両者を同時に高インピーダンス状態に切り換えるクロストーク抑制手段を備えている。このクロストーク抑制手段は、アノード電極に夫々接続されたアノード切り換えスイッチSA1ないしSA4と、カソード電極に夫々接続されたカソード切り換えスイッチSK1ないしSK4とから構成されている。



1

【特許請求の範囲】

【請求項1】 列信号ラインとなる複数の信号電極を有する表示セルと、行走査ラインとなる複数のアノード／カソード電極対を有し該表示セルに積層されたプラズマセルと、該信号電極に画像信号を供給する水平信号回路と、各アノード／カソード電極対を線順次走査し夫々の選択期間に駆動電圧を供給する垂直走査回路とを備えたプラズマアドレス表示装置であって、

前記垂直走査回路は選択期間中アノード電極とカソード電極の両者を低インピーダンス状態に保持し、非選択期間中両者を同時に高インピーダンス状態に切り換えるクロストーク抑制手段を備える事を特徴とするプラズマアドレス表示装置。

【請求項2】 前記クロストーク抑制手段は、各対を構成するアノード電極とカソード電極に夫々接続されたスイッチング素子を含んでおり線順次走査に同期して低インピーダンス状態と高インピーダンス状態を切り換える様にした事を特徴とする請求項1記載のプラズマアドレス表示装置。

【請求項3】 前記水平信号回路はアノード電位を基準にして該複数の信号電極に画像信号を供給する事を特徴とする請求項1記載のプラズマアドレス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶セル等の表示セルとプラズマセルの二層構造からなるプラズマアドレス表示装置に関する。より詳しくはマトリクス画像表示のクロストーク抑制技術に関する。

【0002】

【従来の技術】 従来、液晶セルを用いたマトリクスタイプの表示装置を高解像度化及び高コントラスト化する為の手段としては、各画素毎に薄膜トランジスタ等のスイッチング素子を設け、これを線順次で駆動する方式（所謂アクティブマトリクスアドレス方式）が一般に知られている。しかしながら、この場合薄膜トランジスタの様な半導体素子を基板上に多数設ける必要があり、特に大面積化した時に製造歩留りが悪くなるという短所がある。

【0003】 そこで、この短所を解決する手段として、プラズマ等の特開平1-217396号公報において、薄膜トランジスタ等からなるスイッチング素子に代えてプラズマスイッチを利用する方式を提案している。以下、プラズマ放電に基づくスイッチを利用して液晶セルを駆動するプラズマアドレス表示装置の構成を簡潔に説明する。図4に示す様に、この装置は液晶セル101とプラズマセル102と両者の間に介在する誘電体シート103とからなる積層フラットパネル構造を有している。プラズマセル102はガラス基板104を用いて形成されており、その表面に複数の溝105が設けられている。この溝105は例えば行列マトリクスの行方向に伸びて

2

いる。各溝105は誘電体シート103によって密封されており個々に分離したプラズマ室106を構成している。このプラズマ室106にはイオン化可能なガスが封入されている。隣接する溝105を隔てる凸状部107は個々のプラズマ室106を区分けする隔壁の役割を果たすとともに各プラズマ室106のギャップスペースとしての役割も果たしている。各溝105の底部には、互いに平行な一対のプラズマ電極108、109が設けられている。一対の電極はアノード及びカソードとして機能しプラズマ室106内のガスをイオン化して放電プラズマを発生する。かかる放電領域は行走査ラインとなる。

【0004】 一方、液晶セル101はガラス基板110を用いて構成されている。このガラス基板110は誘電体シート103に所定の間隙を介して対向配置されており間隙内には液晶層111が充填されている。又、ガラス基板110の内表面には透明導電材料からなる信号電極112が形成されている。この信号電極112はプラズマ室106と直交しており列信号ラインとなる。列信号ラインと行走査ラインの交差部分にマトリクス状の画素が規定される。

【0005】 かかる構成を有する表示装置を動作させる為、列信号ラインには水平信号回路が接続されており、行走査ラインには垂直走査回路が接続されている。プラズマ放電が行なわれるプラズマ室106を線順次で切り換え走査するとともに、この走査に同期して液晶セル側の信号電極112にアナログ画像信号を印加する事により表示動作が行なわれる。プラズマ室106内にプラズマ放電が発生すると内部は略一様にアノード電位になり1行毎の画素選択が行なわれる。即ち、プラズマ室106はサンプリングスイッチとして機能する。プラズマサンプリングスイッチが導通した状態で各画素に画像信号が印加されるとサンプリングホールドが行なわれ画素の点灯もしくは消灯が制御できる。プラズマサンプリングスイッチが非導通状態になった後にもアナログ画像信号はそのまま画素内に保持される。

【0006】

【発明が解決しようとする課題】 プラズマ放電を線順次で行なう為、従来は全てのアノード電極を接地電位（例えば0V）に固定し、各カソード電極を順次負電位に切り換えていた。しかし、この場合画像信号の書き込みを終了した画素は、プラズマ室の浮遊容量及び共通接地されたアノード電極を介して他の行走査ライン上に位置する画素と閉ループを形成してしまう。この為、ある画素に書き込まれた画像信号は、同一信号ライン上で他の走査ラインと交差する部分の画素に書き込まれた画像信号から影響を受け、所謂クロストークが発生してしまうという課題がある。この為、個々の画素の透過率が所望のレベルから変動し表示品質が損なわれるという問題がある。本発明の理解を容易にする為、この従来の課題に

3

つき図5を参照して具体的に説明する。前述した様に、プラズマセル102に形成されたストライプ状の溝105に沿って、夫々アノード/カソード電極対A1/K1, A2/K2, A3/K3, A4/K4が設けられており行走査ラインを構成する。一方、液晶セル101にはストライプ状の信号電極D(1本のみ図示)が形成されており列信号ラインを構成する。水平信号回路121は交流画像信号源を含んでおり、接地電位(0V)を基準にして各信号電極Dに画像信号を供給する。一方、垂直行走回路は各カソード電極K1, K2, K3, K4に夫々接続されたカソード切り換えスイッチSK1, SK2, SK3, SK4を備えており、順次定電圧源123の負電位を対応するカソード電極に供給する。なお、全てのアノード電極A1, A2, A3, A4は共通に接地されている。線順次走査では、先ずカソード切り換えスイッチSK1が閉じ1番目の行走査ラインでプラズマ放電が発生すると、誘電体シート103の裏面は0Vに接地されたアノード電位と略等しくなる。ここで、信号電極Dに画像信号を印加すると、この画像信号Dと誘電体シート103に挟持された液晶層111には誘電体シート103の容量分を介して交流画像信号源の電圧の一部が印加される。カソード切り換えスイッチSK1, SK2, SK3, ...を開閉制御しプラズマ放電を順次走査する事により所定の信号電圧を各行走査ラインに位置する液晶層111に書き込み保持する事が可能になる。しかしながら、実際には放電終了後も液晶層111はプラズマ室の浮遊容量によりアノード電極を介して接地電位と結合されている。この為、例えば1番目のカソード切り換えスイッチSK1の開成によって対応する画素に書き込まれた画像信号は放電終了後、次のカソード切り換えスイッチSK2, SK3, ...の開成によって書き込まれる画像信号により影響を受けレベル変化が生じクロストークとなる。

【0007】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明はプラズマアドレス表示装置のクロストークを抑制する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明にかかるプラズマアドレス表示装置は一般的な構成要素として、列信号ラインとなる複数の信号電極を有する表示セルと、行走査ラインとなる複数のアノード/カソード電極対を有し該表示セルに積層されたプラズマセルと、該信号電極に画像信号を供給する水平信号回路と、各アノード/カソード電極対を線順次走査し夫々の選択期間に駆動電圧を供給する垂直行走回路とを備えている。本発明の特徴事項として、前記垂直行走回路は選択期間中アノード電極とカソード電極の両者を低インピーダンス状態に保持し、非選択期間中両者を同時に高インピーダンス状態に切り換えるクロストーク抑制手段を備えている。好ましくは、該クロストーク抑制手段は、各対を構成するアノ

4

ード電極とカソード電極に夫々接続されたスイッチング素子を含んでおり、線順次走査に同期して低インピーダンス状態と高インピーダンス状態を切り換える様にしている。一方、前記水平信号回路はアノード電位を基準にして該複数の信号電極に画像信号を供給する。

【0008】

【作用】プラズマアドレス表示装置においては、プラズマ放電時各行走査ラインが略アノード電位となる事を利用して画像信号の書き込みもしくはサンプリングを行なっている。この為、選択期間中はアノード電位が低インピーダンス状態に保たれる。しかしながら、低インピーダンス状態にする必要があるのは液晶画素に画像信号をサンプリングする期間、即ちプラズマ放電が発生する選択期間のみである。そこで非選択期間においてはカソード電極に加えアノード電極も高インピーダンス状態に切り換える様にしている。かかる動作により、プラズマ室の浮遊容量を介した画像信号のクロストークを低減する事が可能になる。

【0009】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかるプラズマアドレス表示装置の基本的な構成を示す模式図である。本装置は液晶セル1とプラズマセル2とを誘電体シート3を介して互いに一体的に積層したフラットパネル構造を有している。液晶セル1は上側のガラス基板4を用いて構成されており、誘電体シート3に対して所定の間隙を介して貼着されている。該間隙内には液晶層5が封入充填されている。又、ガラス基板4の内表面にはストライプ状に形成された複数の信号電極Dが設けられており列信号ラインとなる。

【0010】一方、プラズマセル2は下側のガラス基板6を用いて構成されている。該基板6の内表面にはストライプ状に複数の溝7が形成されている。この溝7は信号電極Dと直交しているとともに、その内部には各々アノード/カソード電極対A1/K1, A2/K2, A3/K3, A4/K4が設けられており行走査ラインとなる。各溝7は誘電体シート3により密閉されており個々に分離したプラズマ室を構成する。その内部にはイオン化可能なガスが封入されている。

【0011】信号電極Dには水平信号回路11が接続されており各列信号ラインに画像信号を供給する。この水平信号回路11は接地電位(本例では0V)に接続された交流画像信号源12を備えている。一方、各アノード/カソード電極対A1/K1, A2/K2, A3/K3, A4/K4には垂直行走回路13が接続されており、各行走査ラインを線順次走査し夫々の選択期間に所定の駆動電圧を供給する。この為に定電圧電源14が備えられている。

【0012】本発明の特徴事項として、前記垂直行走回路13は選択期間中アノード電極とカソード電極の両者

5

を低インピーダンス状態に保持し、非選択期間中両者を同時に高インピーダンス状態に切り換えるクロストーク抑制手段を備えている。本実施例では、このクロストーク抑制手段は各対を構成するアノード電極A1、A2、A3、A4とカソード電極K1、K2、K3、K4に夫々接続されたアノード切り換えスイッチSA1、SA2、SA3、SA4及びカソード切り換えスイッチSK1、SK2、SK3、SK4から構成されている。アノード切り換えスイッチ群の端子は定圧電源14の正極端子側に共通接続されているとともに接地に落ちている。一方、カソード切り換えスイッチ群の端子は定圧電源14の負極端子側に共通接続されている。

【0013】引き続き図1を参照して本発明にかかるプラズマアドレス表示装置の動作を詳細に説明する。初期状態においては、全てのアノード切り換えスイッチSA1ないしSA4及び全てのカソード切り換えスイッチSK1及びSK4は開成状態にある。線順次走査が開始すると、第1番目の選択期間で、一対のアノード切り換えスイッチSA1及びカソード切り換えスイッチSK1のみが同時に閉成する。この結果、第1番目の行走査ラインにプラズマ放電が発生し誘電体シート3の裏面は略アノード電位と等しくなる。ここで、列信号ラインに一斉に画像信号を印加すると、信号電極Dと誘電体シート3に挟まれた液晶層5の画素部には、誘電体シート3の容量分を介して画像信号電圧の一部が印加される。画素に所定のデータを書き込んだ後非選択期間に移ると当該アノード切り換えスイッチSA1及びカソード切り換えスイッチSK1は同時に開成する。これにより、第1番目の行走査ラインに沿った画素は他の行走査ラインから電気的に完全に分離されクロストークは発生しない。以下同様にして、順次アノード切り換えスイッチ及びカソード切り換えスイッチの組SA2/SK2、SA3/SK3、SA4/SK4が開閉されて行く。

【0014】図2は、図1に示したプラズマアドレス表示装置の電極ボタン配列を示す模式図である。前述した様に、水平信号回路11には信号電極D1ないしDmがバッファを介して接続されている。一方、垂直走査回路13には同じくバッファを介して複数のアノード/カソード電極対A1/K1、A2/K2、…、An/Knが接続されている。これらのアノード/カソード電極対は垂直走査回路13により線順次走査され、割り当てられた選択期間中に限り低インピーダンス状態となり、非選択期間では高インピーダンス状態に保持される。信号回路11は線順次走査に同期して各信号電極にアナログ画像信号を供給する。制御回路15は水平信号回路11と垂直走査回路13の同期制御を行なうものである。各アノード/カソード電極対に沿って放電領域が形成され行走査ラインとなる。一方、各信号電極は列信号ラインとなる。両ラインの間に画素16が規定される。

【0015】図3は、図2に示す2個の画素16を切り

6

取って模式的に示したものである。各画素16は信号電極(D1、D2)及び誘電体シート3によって挟持された液晶層5からなるサンプリングキャパシタと、プラズマサンプリングスイッチS1との直列接続からなる。プラズマサンプリングスイッチS1は行走査ラインの機能を等価的に表わしたものである。即ち、一対のアノード切り換えスイッチSA1及びカソード切り換えスイッチSK1が同時に低インピーダンス状態となり所定の駆動電圧が印加されるとプラズマ放電が発生し当該行走ラインは略全体的にアノード電位に接続される。一方、アノード切り換えスイッチSA1及びカソード切り換えスイッチSK1が同時に高インピーダンス状態になると当該行走査ラインは完全に回路から切り離され浮遊電位となる。選択期間中サンプリングスイッチS1を介して個々の画素16のサンプリングキャパシタにアナログ画像信号を書き込み所謂サンプリングホールドを行なう。アナログ画像信号の電圧レベルによって各画素16の階調的な点灯あるいは消灯が制御できる。

【0016】

【発明の効果】以上説明した様に、本発明によれば、プラズマ放電を発生させる為に選択された行走査ライン以外は、アノード電極及びカソード電極ともに高インピーダンス状態に切り換え制御している。従って、画像信号の書き込まれた画素は他の行走査ラインに沿った画素の書き込みを行なう時には画像信号源から回路的に切り離されており書き込まれたデータは変動しない。この為、従来問題となっていたクロストークを有効に抑制もしくは低減する事ができるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかるプラズマアドレス表示装置の基本的な構成を示す模式図である。

【図2】図1に示したプラズマアドレス表示装置の電極ボタン配列を示す模式図である。

【図3】図2に示したプラズマアドレス表示装置から2個の画素を切り取って示した模式図である。

【図4】従来のプラズマアドレス表示装置の一例を示す斜視図である。

【図5】従来のプラズマアドレス表示装置の駆動回路を示す模式図である。

【符号の説明】

- 1 液晶セル
- 2 プラズマセル
- 3 誘電体シート
- 4 ガラス基板
- 5 液晶層
- 6 ガラス基板
- 7 溝
- 11 水平信号回路
- 12 交流画像信号源
- 13 垂直走査回路

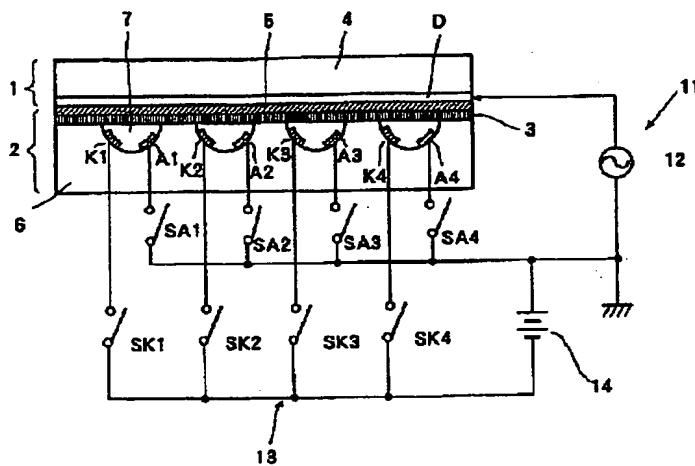
(5)

特開平6-75536

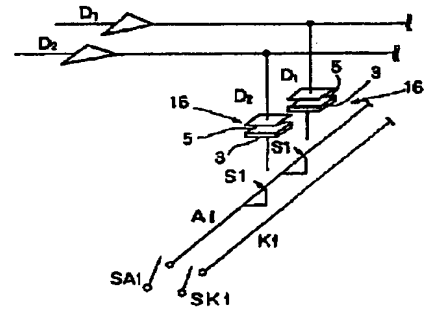
14 定電圧源
16 画素
A アノード電極
K カソード電極

D 信号電極
SA アノード切り換えスイッチ
SK カソード切り換えスイッチ

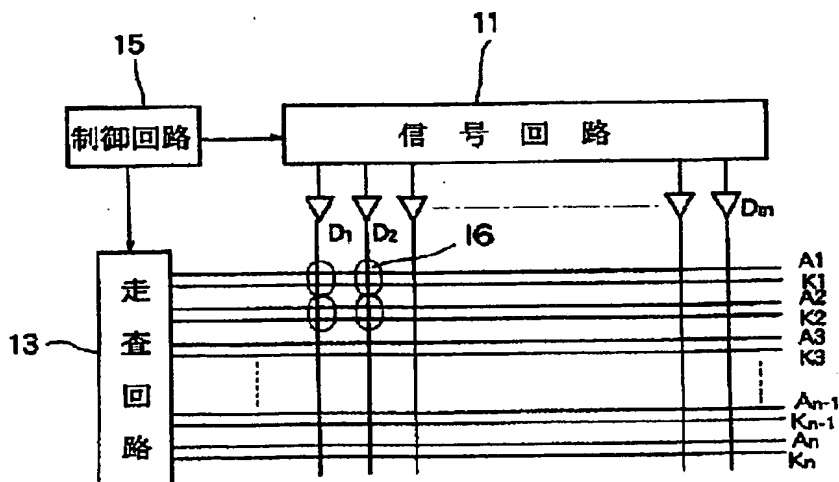
【図1】



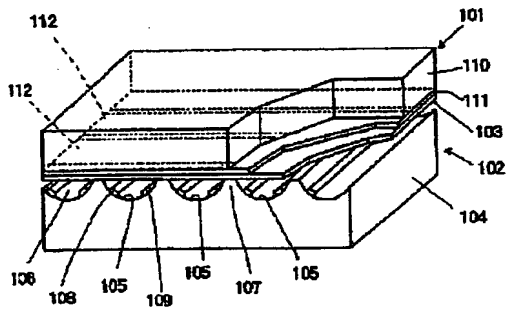
【図3】



【図2】



【図4】



【図5】

